

Docket No.: 67161-098

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takao KAMOSHIMA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 09, 2003	:	Examiner: Unknown
	:	
For: INTERCONNECTION STRUCTURE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

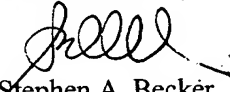
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2003-058384, filed March 5, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 9, 2003

67161-098
KAMOSHIMA et al.
September 9, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月 5日

出 願 番 号

Application Number:

特願2003-058384

[ST.10/C]:

[JP2003-058384]

出 願 人

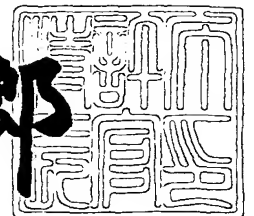
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019457

【書類名】 特許願

【整理番号】 541476JP01

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 鴨島 隆夫

【発明者】

 【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
ステムエンジニアリング株式会社内

 【氏名】 藤井 靖久

【発明者】

 【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
ステムエンジニアリング株式会社内

 【氏名】 正光 毅

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線接続構造

【特許請求の範囲】

【請求項 1】 基板上に形成され、銅層よりなる第 1 の導電層と、

前記第 1 の導電層上に形成され、かつ前記第 1 の導電層に達する孔を有する絶縁層と、

前記絶縁層内に形成され、前記孔を通じて前記第 1 の導電層と電氣的に接続された銅層よりなる第 2 の導電層と、

前記第 2 の導電層および前記孔と、前記絶縁層との間に形成されたバリアメタル層とを備え、

前記バリアメタル層は前記孔の底部において開口を有し、前記開口を通して前記第 2 の導電層は前記第 1 の導電層と直接接している、配線接続構造。

【請求項 2】 基板上に形成された第 1 の配線部と、

前記基板上に形成され、かつ前記第 1 の配線部よりも線幅が大きい第 2 の配線部と、

前記第 1 および第 2 の配線部上に形成され、かつ前記第 2 の配線部に達する孔を有する絶縁層と、

前記孔を通じて前記第 1 の導電層と電氣的に接続され、前記絶縁層内に形成された導電層とを備え、

前記第 1 の配線部は、メッキにより形成された銅層よりなっており、

前記第 2 の配線部は、銅層と少なくとも前記孔の真下領域に位置する金属層との 2 層構造を有している、配線接続構造。

【請求項 3】 前記金属層は、スパッタ法により形成された銅層であることを特徴とする、請求項 2 に記載の配線接続構造。

【請求項 4】 前記金属層は、アルミニウム合金層であることを特徴とする、請求項 2 に記載の配線接続構造。

【請求項 5】 基板上に形成され、銅層よりなる第 1 の導電層と、

前記第 1 の導電層上に形成され、かつ前記第 1 の導電層に達する孔を有する絶縁層と、

前記絶縁層内に形成され、前記孔を通じて前記第 1 の導電層と電氣的に接続された第 2 の導電層とを備え、

前記第 1 の導電層の前記孔の近傍にはスリットが形成されている、配線接続構造。

【請求項 6】 前記第 1 の導電層は線幅が大きい第 1 の配線部と線幅の小さい第 2 の配線部とを有し、前記第 2 の導電層は線幅が小さい配線部を有しており、

前記第 1 の導電層の前記第 2 の配線部と前記第 2 の導電層の線幅が小さい配線部とが前記孔を通じて接続されており、

前記スリットは、前記第 1 の配線部と前記第 2 の配線部との接合部近傍であって前記第 1 の配線部内に形成されていることを特徴とする、請求項 5 に記載の配線接続構造。

【請求項 7】 基板上に形成され、銅層よりなる第 1 の導電層と、

前記第 1 の導電層上に形成され、かつ前記第 1 の導電層に達する第 1 および第 2 の孔を有する絶縁層と、

前記第 1 の孔を通じて前記第 1 の導電層と電氣的に接続され、かつ前記絶縁層内に形成された、他の素子に電氣的に接続するための第 2 の導電層とを備え、

前記第 2 の孔は、前記第 1 の導電層を他の素子と電氣的に接続しないダミーの孔として用いられる、配線接続構造。

【請求項 8】 前記第 2 の孔を介して前記第 1 の導電層と電氣的に接続され、かつ前記第 1 の導電層を他の素子と電氣的に接続しないダミーの配線層をさらに備えたことを特徴とする、請求項 7 に記載の配線接続構造。

【請求項 9】 前記第 2 の孔内を埋めこむ第 3 の導電層をさらに備え、

前記第 3 の導電層には前記第 1 の導電層以外の他の配線層が電氣的に接続されていないことを特徴とする、請求項 7 に記載の配線接続構造。

【請求項 10】 前記第 1 の導電層は線幅が大きい第 1 の配線部を有し、前記第 2 の導電層は線幅が小さい第 2 の配線部を有しており、

線幅が大きい前記第 1 の配線部と線幅が小さい前記第 2 の配線部とが前記孔を通じて接続されていることを特徴とする、請求項 7 に記載の配線接続構造。

【請求項 1 1】 前記第 1 の導電層は線幅が大きい第 1 の配線部と線幅が小さい第 2 の配線部とを有し、前記第 2 の導電層は線幅が小さい第 3 の配線部を有しており、

線幅が小さい前記第 2 の配線部と線幅が小さい前記第 3 の配線部とが前記孔を通じて接続されていることを特徴とする、請求項 7 に記載の配線接続構造。

【請求項 1 2】 前記ダミーの孔として用いられる前記第 2 の孔は、線幅が大きい前記第 1 の配線部に達するように形成されていることを特徴とする、請求項 1 1 に記載の配線接続構造。

【請求項 1 3】 前記ダミーの孔として用いられる前記第 2 の孔は、線幅が小さい前記第 2 の配線部に達するように形成されていることを特徴とする、請求項 1 1 に記載の配線接続構造。

【請求項 1 4】 基板上に形成され、かつ線幅が大きい第 1 の配線部と線幅が小さい第 2 の配線部とを有し、かつ銅層よりなる第 1 の導電層と、

前記第 1 の導電層上に形成され、かつ線幅が小さい前記第 2 の配線部に達する孔を有する絶縁層と、

前記孔を通じて前記第 1 の導電層と電氣的に接続され、かつ前記絶縁層内に形成された第 2 の導電層とを備え、

線幅が小さい前記第 2 の配線部は、前記第 2 の配線部と前記第 1 の配線部との接合部から前記孔までの間で折れ曲がっている、配線接続構造。

【請求項 1 5】 前記第 2 の配線部の折れ曲がり回数は 1 回であることを特徴とする、請求項 1 4 に記載の配線接続構造。

【請求項 1 6】 前記第 2 の配線部の折れ曲がり回数は 2 回以上であることを特徴とする、請求項 1 4 に記載の配線接続構造。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、配線接続構造に関するものであり、より具体的には半導体装置、液晶デバイスなどの電子デバイスの配線接続構造に関するものである。

【0 0 0 2】

【従来の技術】

従来の半導体装置における集積回路の金属配線には主にアルミニウム（A l）合金が用いられていたが、最先端デバイスでは、より低抵抗でエレクトロマイグレーション耐性の高い銅（C u）配線が用いられてきている。このようなC u配線を有する半導体装置は、たとえば特開 2 0 0 1 - 1 5 6 0 7 3 号公報（特許文献 1 参照）、E. T. Ogawa et al., “Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads” IEEE 02CH37320 40th Annual International Reliability Physics Symposium, Dallas, Texas, 2002, pp. 312-321（非特許文献 1 参照）などに開示されている。

【0 0 0 3】

このようなC u配線を有する半導体装置の製造フローにはデュアルダマシン法およびシングルダマシン法がある。デュアルダマシン法においては、ビアおよび配線部分の溝がドライエッチングにより形成された後、バリアメタルおよびシードC u膜が成膜され、電解メッキによりC u膜が成膜される。その後、熱処理が加えられてC u膜の膜質が安定化された後、CMP（Chemical Mechanical Polishing）によりC u配線が形成される。

【0 0 0 4】

一方、シングルダマシン法では、ビアが開口された後、バリアメタルおよびシードC u膜が成膜され、電解メッキによりC u膜が成膜され、熱処理が加えられてC u膜の膜質が安定化された後、CMPによりビア部のみにC u膜が埋込まれる。その後、層間絶縁膜が成膜され、配線溝が写真製版およびドライエッチングにより形成され、バリアメタルおよびシードC u膜が成膜され、電解メッキによりC u膜が成膜され、熱処理を加えてC u膜の膜質が安定化された後、メタルCMPにより配線溝部のみC u膜により埋込まれる。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 1 - 1 5 6 0 7 3 号公報

【0 0 0 6】

【非特許文献 1】

E. T. Ogawa et al., "Stress-Induced Voiding Under Vias Connected To Wide Cu Metal Leads" IEEE 02CH37320 40th Annual International Reliability Physics Symposium, Dallas, Texas, 2002, pp. 312-321

【 0 0 0 7 】

【発明が解決しようとする課題】

上記2つの方法には、通常、Cuメッキが用いられているが、Cuメッキ膜は膜中にマイクロボイドを多数含むことが知られている。また、ストレスマイグレーション試験を100℃～250℃の条件で行なうと、熱ストレスにより、上記ボイドが膜中を拡散し、ビア下部分に集まると考えられている。特に、下層配線の配線幅が1 μ m程度以上の太幅の場合に不良が発生しやすい。このようにボイドが集まると、ビア抵抗の増加、オープン、配線抵抗の増加、断線などが生じるおそれがある。

【 0 0 0 8 】

本発明は、上記のような問題点を解決するためになされたものであり、ストレスマイグレーションによるビア下配線中のボイドの集中を抑制する配線接続構造を提供することを目的とするものである。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の配線接続構造は、第1の導電層と、絶縁層と、第2の導電層と、バリアメタル層とを備えている。第1の導電層は基板上に形成され、銅層よりなっている。絶縁層は、第1の導電層上に形成され、かつ第1の導電層に達する孔を有している。第2の導電層は、絶縁層内に形成され、孔を通じて第1の導電層と電気的に接続された銅層よりなっている。バリアメタル層は、第2の導電層および孔と、絶縁層との間に形成されている。バリアメタル層は孔の底部において開口を有し、開口を通して第2の導電層は第1の導電層と直接接している。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【 0 0 1 1 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 における半導体装置の構成を示す概略断面図である。図 1 を参照して、半導体基板（図示せず）上に層間絶縁層 1 が形成されている。この層間絶縁層 1 の表面には溝 1 a が形成されている。この溝 1 a 内壁に沿ってバリアメタル層 2 が形成されており、この溝 1 a を埋め込むように銅層よりなる配線層（第 1 の導電層）3 が形成されている。

【0012】

この配線層 3 上には層間絶縁層 4 が形成されており、この層間絶縁層 4 には配線層 3 に達するビア（孔）4 a と溝 4 b とが形成されている。ビア 4 a は溝 4 b の底部に形成されている。ビア 4 a と溝 4 b との壁面に沿ってバリアメタル層 5 が形成されている。ビア 4 a と溝 4 b とを埋め込むように、かつビア 4 a を通じて配線層 3 と電氣的に接続するように、銅層よりなる配線層（第 2 の導電層）6 が形成されている。このようにして配線層 6 は層間絶縁層 4 内に形成されている。

【0013】

上記のバリアメタル層 5 は、ビア 4 a の底部において開口を有しており、その開口を通して配線層 6 は配線層 3 と直接接している。層間絶縁層 4 上には、配線層 6 を覆うように絶縁層 7 が形成されている。

【0014】

なお、バリアメタル層 2、5 は、たとえばタンタル（Ta）、窒化タンタル（Ta₂N₅）、チタン（Ti）、窒化チタン（TiN）、窒化タングステン（WN）のいずれかよりなる単層構造またはこれらの任意の組合わせよりなる積層構造である。

【0015】

次に、本実施の形態の 2 つの製造方法について説明する。

図 2 および図 3 は、本発明の実施の形態 1 における半導体装置の第 1 の製造方法を工程順に示す概略断面図である。図 2 を参照して、半導体基板（図示せず）上に層間絶縁層 1 が形成される。この層間絶縁層 1 に溝 1 a が形成される。溝 1 a が形成された層間絶縁層 1 の表面全面にバリアメタル層 2 が形成された後、そ

の溝 1 a を埋め込むように銅層 3 が形成される。この銅層 3 は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層 1 の表面が露出するまで、CMP によりバリアメタル層 2 と銅層 3 とが研磨除去される。これにより、バリアメタル層 2 と銅層 3 とが溝 1 a 内のみ残されて、メッキ銅層（メッキにより形成された銅層）よりなる配線層 3 が形成される。

【 0 0 1 6 】

この配線層 3 を覆うように層間絶縁層 1 上に層間絶縁層 4 が形成される。この層間絶縁層 4 の表面に、ドライエッチングによりビア 4 a と溝 4 b とが形成される。ビア 4 a は、溝 4 b の底部から延びて配線層 3 の表面を露出するように形成される。

【 0 0 1 7 】

このビア 4 a と溝 4 b とが形成された層間絶縁層 4 の表面に、バリアメタル層 5 がたとえばスパッタ法により形成される。スパッタ法により形成したとき、バリアメタル層 5 の膜厚は、開口部のアスペクト比（深さ／ボトムサイズ）の差のため、 $T_1 > T_2 > T_3$ となる。つまり、層間絶縁層 4 の上面におけるバリアメタル層 5 の膜厚 T_1 は溝 4 b の底部における膜厚 T_2 よりも大きく、その溝 4 b の底部における膜厚 T_2 はビア 4 a の底部における膜厚 T_3 よりも大きくなる。この後、バリアメタル層 5 の全面にドライエッチングが施される。

【 0 0 1 8 】

図 3 を参照して、バリアメタル層 5 の膜厚はビア 4 a の底部において薄くなるため、上記のドライエッチングにより、ビア 4 a 底部のバリアメタル層 5 が消失する。これにより、ビア 4 a 底部においてバリアメタル層 5 に開口が形成され、その開口から配線層 3 の表面が露出する。

【 0 0 1 9 】

図 1 を参照して、ビア 4 a と溝 4 b とを埋め込むように銅層 6 が形成される。この銅層 6 は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層 4 の表面が露出するまで、CMP によりバリアメタル層 5 と銅層 6 とが研磨除去される。これにより、バリアメタ

ル層 5 と銅層 6 とがビア 4 a および溝 4 b 内にのみ残されて、メッキ銅層よりなる配線層 6 が形成される。この後、配線層 6 を覆うように層間絶縁層 4 上に絶縁層 7 が形成される。

【 0 0 2 0 】

図 4 ～図 7 は、本発明の実施の形態 1 における半導体装置の第 2 の製造方法を工程順に示す概略断面図である。図 4 を参照して、層間絶縁層 1 と、溝 1 a と、バリアメタル層 2 と、配線層 3 とは上記の第 1 の製造方法と同様に形成される。

【 0 0 2 1 】

この配線層 3 を覆うように層間絶縁層 1 上に層間絶縁層 4 が形成される。この層間絶縁層 4 の表面に、ドライエッチングにより溝 4 b が形成される。この溝 4 b が形成された層間絶縁層 4 の表面に、バリアメタル層 5 a がたとえばスパッタ法により形成される。

【 0 0 2 2 】

図 5 を参照して、写真製版によりバリアメタル層 5 a 上にレジストパターンが形成される。この後、そのレジストパターンをマスクとしてバリアメタル層 5 a と層間絶縁層 4 とがドライエッチングにより選択的に除去される。これにより、溝 4 b の底部にビア 4 a が形成され、そのビア 4 a の底部において配線層 3 の表面が露出する。なお、ドライエッチングの後、レジストパターンはたとえばアッシングなどにより除去される。

【 0 0 2 3 】

図 6 を参照して、このビア 4 a およびバリアメタル層 5 a 上に、バリアメタル層 5 b が形成される。バリアメタル層 5 の膜厚は、 T_4 、 $T_5 > T_6$ となる。つまり、層間絶縁層 4 の上面および溝 4 b の底部ではバリアメタル層 5 a と 5 b とが積層されているのに対し、ビア 4 a の底部ではバリアメタル層 5 b のみである。このため、層間絶縁層 4 の上面および溝 4 b の底部におけるバリアメタル層 5 の各膜厚 T_4 、 T_5 は、ビア 4 a の底部におけるバリアメタル層 5 の膜厚 T_6 よりも大きくなる。この後、バリアメタル層 5 の全面にドライエッチングが施される。

【 0 0 2 4 】

図 7 を参照して、バリアメタル層 5 の膜厚はビア 4 a の底部において薄くなるため、上記のドライエッチングにより、ビア 4 a 底部のバリアメタル層 5 が消失する。これにより、ビア 4 a 底部においてバリアメタル層 5 に開口が形成され、その開口から配線層 3 の表面が露出する。

【 0 0 2 5 】

図 1 を参照して、ビア 4 a と溝 4 b とを埋め込むように銅層 6 が形成される。この銅層 6 は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層 4 の表面が露出するまで、CMP によりバリアメタル層 5 と銅層 6 とが研磨除去される。これにより、バリアメタル層 5 と銅層 6 とがビア 4 a および溝 4 b 内にのみ残されて、銅層よりなる配線層 6 が形成される。この後、配線層 6 上を覆うように層間絶縁層 4 上に絶縁層 7 が形成される。

【 0 0 2 6 】

本実施の形態によれば、図 1 に示すようにビア 4 a の底部において、バリアメタル層 5 に設けられた開口を通じて配線層 3 と配線層 6 とが直接接している。配線層 3 と配線層 6 とは共に銅層であるため、配線層 3 と配線層 6 との接続部は同種金属同士の接続となる。このため、配線層 3 と配線層 6 との間にバリアメタル層 5 が介在した場合に生じる異種金属の接続に起因したビア 4 a 下でのマイクロボイドの集中を抑制することが可能となる。

【 0 0 2 7 】

なお、ビア 4 a 底部の周縁部においてバリアメタル層 5 は配線層 3 と接しているが、従来例と違い、ビア 4 a の底部全体で配線層 3 と接してはいない。このため、本実施の形態ではボイドはビア 4 a 底部の中央部まで広がらず、ストレス分布を小さくすることができる。よって、上述のとおり、従来例よりも、ビア 4 a 下でのマイクロボイドの集中を抑制することが可能となる。

【 0 0 2 8 】

(実施の形態 2)

図 8 は、本発明の実施の形態 2 における半導体装置の構成を概略的に示す断面図である。図 8 を参照して、半導体基板（図示せず）上に層間絶縁層 1 が形成さ

れている。この層間絶縁層 1 の表面において、線幅が細い配線（細幅配線）用の溝 1 a と線幅が太い配線（太幅配線）用の溝 1 b とが形成されている。この溝 1 a、1 b の各々の内壁に沿ってバリアメタル層 2 が形成されている。溝 1 a を埋め込むように、メッキにより形成された銅層よりなる細い幅の配線層（第 1 の配線部）3 が形成されている。また溝 1 b を埋め込むように、メッキにより形成された銅層 3 と金属層 3 1 との 2 層構造を有する太い幅の配線層（第 2 の配線部）が形成されている。太い幅の配線層は、細い幅の配線層よりも大きい線幅を有している。

【 0 0 2 9 】

この細い幅の配線層と太い幅の配線層とを覆うように層間絶縁層 1 上には層間絶縁層 4 が形成されており、この層間絶縁層 4 には太い幅の配線層に達するビア（孔）4 a と溝 4 b とが形成されている。ビア 4 a は溝 4 b の底部に形成されている。太い幅の配線層の金属層 3 1 はこのビア 4 a の少なくとも真下領域に位置しており、ビア 4 a の底部においてバリアメタル層 5 と接している。

【 0 0 3 0 】

ビア 4 a と溝 4 b との壁面に沿ってバリアメタル層 5 が形成されている。ビア 4 a と溝 4 b とを埋め込むように、かつビア 4 a を通じて太い幅の配線層と電氣的に接続するように、Cu 層よりなる配線層（導電層）6 が形成されている。これにより、配線層 6 は層間絶縁層 4 内に形成されている。この配線層 6 を覆うように層間絶縁層 4 上には絶縁層 7 が形成されている。

【 0 0 3 1 】

なお、金属層 3 1 は、たとえばタンタル、窒化タンタル、チタン、窒化チタン、窒化タングステンのいずれかよりなる単層構造またはこれらの任意の組合わせよりなる積層構造、アルミニウム合金層、あるいはスパッタ法により形成された銅層である。

【 0 0 3 2 】

また、バリアメタル層 2、5 は、たとえばタンタル、窒化タンタル、チタン、窒化チタン、窒化タングステンのいずれかよりなる単層構造またはこれらの任意の組合わせよりなる積層構造である。

【 0 0 3 3 】

次に、本実施の形態の製造方法について説明する。

図 9 は、本発明の実施の形態 2 における半導体装置の製造方法を示す概略断面図である。図 9 を参照して、半導体基板（図示せず）上に層間絶縁層 1 が形成される。この層間絶縁層 1 に、ドライエッチングにより線幅が細い配線（細幅配線）用の溝 1 a と線幅が太い配線（太幅配線）用の溝 1 b とが形成される。この溝 1 a、1 b の各々の内壁に沿うように層間絶縁層 4 の表面全面にバリアメタル層 2 が形成される。このバリアメタル層 2 上に、銅層 3 が形成される。この銅層 3 は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この銅層 3 上に、金属層 3 1 が成膜される。

【 0 0 3 4 】

なお、銅層 3 は、溝 1 a を完全に埋め込める膜厚で、かつ溝 1 b を完全には埋め込めない膜厚で形成されている。具体的には、銅層 3 は、その膜厚 T が溝 1 b の深さ D よりも小さく、かつ溝 1 a の幅 L_1 の半分の寸法 ($L_1 / 2$) 以上で、かつ溝 1 b の幅 L_2 の半分の寸法 ($L_2 / 2$) 未満となるように形成される。つまり、溝 1 a を銅層 3 で完全に埋め込むためには銅層 3 の膜厚 T を $L_1 / 2$ 以上にする必要があり、溝 1 b を銅層 3 で完全に埋め込まないためには、銅層 3 の膜厚 T を溝 1 b の深さ D よりも小さくするとともに $L_2 / 2$ 未満にする必要がある。

【 0 0 3 5 】

この後、CMP 法により、層間絶縁層 1 の表面が露出するまで金属層 3 1 と銅層 3 とが研磨除去される。これにより、図 8 に示すように溝 1 a 内には銅層 3 のみが残されて細い幅の配線層が形成され、かつ溝 1 b 内には金属層 3 1 と銅層 3 とが残されて太い幅の配線層が形成される。

【 0 0 3 6 】

この後、細い幅の配線層および太い幅の配線層を覆うように層間絶縁層 1 上に層間絶縁層 4 が形成される。この層間絶縁層 4 の表面であって、太い幅の配線層上に、ドライエッチングによりビア 4 a と溝 4 b とが形成される。ビア 4 a は、溝 4 b の底部から延び、金属層 3 1 の表面を露出するように形成される。

【 0 0 3 7 】

このビア 4 a と溝 4 b とが形成された層間絶縁層 4 の表面に、バリアメタル層 5 が形成され、ビア 4 a と溝 4 b とを埋め込むように銅層 6 が形成される。この銅層 6 は、銅のシード層を形成した後にメッキにより銅のメッキ層を成膜することにより形成される。この後、層間絶縁層 4 の表面が露出するまで、CMP によりバリアメタル層 5 と銅層 6 とが研磨除去される。これにより、バリアメタル層 5 と銅層 6 とがビア 4 a および溝 4 b 内にのみ残されて、銅層よりなる配線層 6 が形成される。この後、配線層 6 を覆うように層間絶縁層 4 上に絶縁層 7 が形成される。この製造方法によれば、銅層 3 からなる細い幅の配線層と、金属層 3 1 と銅層 3 との 2 層構造を有する太い幅の配線層とを容易に形成することができる。

【 0 0 3 8 】

本実施の形態によれば、ビア 4 a が接続される太い幅の配線層は銅層 3 と金属層 3 1 との 2 層構造を有しており、その金属層 3 1 にビア 4 a が接続されている。このようにビア 4 a の接続される部分が、マイクロボイドを多量に含むメッキ銅層ではないため、ストレスマイグレーションによりビア 4 a 下へボイドが集まることを抑制することができる。

【 0 0 3 9 】

また、細い幅の配線層を銅層 3 のみで構成することができるため、細い幅の配線層の配線抵抗を低く維持することができ、抵抗上昇による性能劣化も生じない。

【 0 0 4 0 】

なお、金属層 3 1 と銅層 3 との間に異種金属同士の接合が生じるが、金属層 3 1 と銅層との接触面積は容易に増やすことができる。このため、その接触面積を増やすことにより、銅層 3 中のマイクロボイドが異種金属の接合部において局所的に集中することを抑制することができる。

【 0 0 4 1 】

また、図 8 はデュアルダマシン法により形成した構成について示しているが、本実施の形態においてはシングルダマシン法により形成される半導体装置におい

ても同様に適用することができる。

【0042】

また、金属層31にスパッタ法により形成された銅層を用いた場合でも、スパッタ法により形成された銅層は、メッキにより形成された銅層よりもマイクロボイドが少ないため、上記と同様の効果が得られる。なお、メッキにより形成された銅層は、薬液中に含まれる塩素(C1)、炭素(C)、硫黄(S)などの不純物を多く含んでいる。

【0043】

(実施の形態3)

図10は本発明の実施の形態3における半導体装置の構成を概略的に示す平面図であり、図11は図10のXI-XI線に沿う概略断面図である。

【0044】

図10および図11を参照して、本実施の形態の構成は、実施の形態1の構成と比較して、ビア4aの底部においてバリアメタル層5に開口を形成する代わりに、配線層(第1の導電層)3にスリット41が設けられている点において主に異なる。

【0045】

このため、バリアメタル層5はビア4aの底部全面において配線層3と接している。また、スリット41とは、図11に示すように太い幅の配線層3内で溝1aの形成されていない領域であり、層間絶縁膜1が残っている領域である。このスリット41がビア4aとの接続部を挟むようにビア4aの近傍にたとえば2つ形成されている。

【0046】

なお、これ以外の構成については上記の実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0047】

本実施の形態によれば、スリット41がビア4aとの接続部を挟むように形成されているため、配線層3内のマイクロボイドがビア4aとの接続部に集まるときの壁となる。このため、マイクロボイドはこの壁となるスリットを回り込まな

ければビア4 a 下に到達できなくなるため、ストレスマイグレーションによりビア4 a 下へマイクロボイドが集まることを抑制することができる。

【0048】

なお、図10においては配線層6と同方向（図中横方向）に延びるようにスリット41を形成した場合について説明したが、図12に示すようにスリット41は配線層6と交差する方向（たとえば図中縦方向）に延びていてもよい。また、スリット41は、図13に示すようにビア4 a の接続部の四方を取囲むように設けられていてもよい。また、スリット41は、図14に示すようにビア4 a の接続部の三方を取囲む逆U字状のスリット41と残りの一方に配置された直線状のスリット41とからなってもよい。

【0049】

（実施の形態4）

図15は本発明の実施の形態4における半導体装置の構成を概略的に示す平面図であり、図16は図15のXVI-XVI線に沿う概略断面図である。

【0050】

図15および図16を参照して、本実施の形態の構成は、実施の形態1の構成と比較して、ビア4 a の底部においてバリアメタル層5に開口を形成する代わりに、層間絶縁層4にダミービア（ダミーの孔）4 c が設けられている点において主に異なる。

【0051】

このため、バリアメタル層5はビア4 a の底部全面において配線層3と接している。またダミービア4 c は、配線層3を他の素子に電氣的に接続するものではない。このダミービア4 c の内壁に沿ってバリアメタル層5が形成されており、かつダミービア4 c 内を埋め込むように銅層6が形成されている。この銅層6には配線層3以外の他の配線層が電氣的に接続されていない。

【0052】

なお、これ以外の構成については上記の実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0053】

本実施の形態によれば、配線層 3 と配線層 6 とを接続するためのビア 4 a 以外に、ダミービア 4 c が設けられている。このため、配線層 3 内のマイクロボイドはビア 4 a にのみ集中するのではなく、ビア 4 a 側とダミービア 4 c 側とに分散される。これにより、ストレスマイグレーションによりビア 4 a 下へマイクロボイドが集まることを抑制することができる。

【 0 0 5 4 】

なお、図 1 5 においてはダミービア 4 c を 1 つ配置した構成について示したが、図 1 7 ～図 2 0 に示すようにダミービア 4 c は 2 個以上設けられてもよい。具体的には、図 1 7 に示すようにビア 4 a を挟むように 2 つのダミービア 4 c が配置されてもよく、図 1 8 に示すようにビア 4 a の三方を囲むように 3 つのダミービア 4 c が配置されてもよい。また、図 1 9 に示すようにビア 4 a の周囲を囲むようにたとえば 7 つのダミービア 4 c が配置されてもよく、図 2 0 に示すように 4 つのダミービア 4 c が配置されてもよい。

【 0 0 5 5 】

また、図 2 1 および図 2 2 に示すようにダミービア 4 c は配線層 3 とダミー配線層 6 とを電氣的に接続するものであってもよい。この場合、層間絶縁層 4 のダミービア 4 c 上にはダミー配線用の溝 4 d が形成されている。このダミービア 4 c とダミー配線用の溝 4 d との内壁にはバリアメタル層 5 が形成されており、ダミービア 4 c とダミー配線用の溝 4 d とを埋め込むように銅層よりなるダミー配線層 6 が形成されている。このダミー配線層 6 は、配線層 3 を他の素子に電氣的に接続するものではない。

【 0 0 5 6 】

なお、これ以外の構成については上記の図 1 5，図 1 6 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 5 7 】

このようにダミービア 4 c とダミー配線 6 を設けた場合も、図 1 5，図 1 6 と同様の効果が得られる。

【 0 0 5 8 】

(実施の形態 5)

図 2 3 は、本発明の実施の形態 5 における半導体装置の構成を概略的に示す平面図である。図 2 3 を参照して、本実施の形態の構成は、実施の形態 4 の構成と比較して、ダミービア 4 c の配置位置において主に異なる。

【 0 0 5 9 】

配線層 3 は、線幅の大きい配線部 3 a と、線幅が小さい配線部 3 b とを有している。配線層 6 は、配線層 3 の線幅が細い配線部 3 b にビア 4 a を介して電氣的に接続されている。ダミービア 4 c は、線幅が大きい配線部 3 a と線幅が小さい配線部 3 b との接続部 R とビア 4 a との間の線幅が小さい配線部 3 b 上に位置している。

【 0 0 6 0 】

なお、これ以外の構成については上記の実施の形態 4 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 6 1 】

本実施の形態によれば、配線層 3、6 を接続するためのビア 4 a 以外に、ダミービア 4 c が設けられている。このため、配線層 3 内のマイクロボイドはビア 4 a にのみ集中するのではなく、ビア 4 a 側とダミービア 4 c 側とに分散される。これにより、ストレスマイグレーションによりビア 4 a 下へボイドが集まることを抑制することができる。

【 0 0 6 2 】

また、線幅が大きい配線層 3 a 内の多量のマイクロボイドはビア 4 a 下に到達する前にダミービア 4 c 下に集まることになるため、ビア 4 a 下へのボイドの集まりをさらに抑制することができる。

【 0 0 6 3 】

なお、図 2 4 に示すようにダミービア 4 c が線幅の大きい配線層 3 a 上に配置されていても、線幅の大きい配線部 3 a と線幅の小さい配線部 3 b との接続部 R の近傍に配置されていれば上記と同様の効果が得られる。

【 0 0 6 4 】

また、本実施の形態においてもダミービア 4 c を介してダミー配線層が配線層 3 に電氣的に接続されていてもよく、またダミー配線層が設けられてなくてもよ

い。

【 0 0 6 5 】

(実施の形態 6)

図 2 5 は、本発明の実施の形態 6 における半導体装置の構成を概略的に示す平面図である。図 2 5 を参照して、本実施の形態の構成は、実施の形態 3 の構成と比較して、スリット 4 1 の配置位置において異なる。

【 0 0 6 6 】

配線層 3 は、線幅の大きい配線部 3 a と、線幅の小さい配線部 3 b とを有している。配線層 6 は、配線層 3 の幅の細い配線部 3 b にビア 4 a を介して電氣的に接続されている。スリット 4 1 は、線幅の大きい配線部 3 a と線幅の小さい配線部 3 b との接続部 R の近傍の線幅の大きい配線部 3 a 上に位置している。

【 0 0 6 7 】

なお、これ以外の構成については上記の実施の形態 3 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 6 8 】

本実施の形態によれば、スリット 4 1 が接続部 R の近傍に形成されているため、線幅の大きい配線層 3 a 内の大量のマイクロボイドはこの壁となるスリット 4 1 を回り込まなければビア 4 a 下に到達することができない。このため、ストレスマイグレーションによりビア 4 a 下へボイドが集まることを抑制することができる。

【 0 0 6 9 】

(実施の形態 7)

図 2 6 は、本発明の実施の形態 7 における半導体装置の構成を概略的に示す平面図である。図 2 6 を参照して、本実施の形態の構成は、実施の形態 5 の構成と比較して、ダミービアを設ける代わりに、線幅の小さい配線部 3 b を折り曲げ部 3 b 1 において 1 回折り曲げている点において異なる。この折り曲げ部 3 b 1 は、接続部 R とビア 4 a との間に配置されている。

【 0 0 7 0 】

なお、これ以外の構成については上記の実施の形態 5 の構成とほぼ同じである

ため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0071】

本実施の形態によれば、接続部 R とビア 4 a との間に折り曲げ部 3 b 1 が配置されているため、線幅の大きい配線層 3 a 内の多量のマイクロボイドはビア 4 a 下に達し難くなる。このため、ストレスマイグレーションによりビア 4 a 下へボイドが集まることを抑制することができる。

【0072】

上記においては、折り曲げ部 3 b 1 が 1 つの場合について説明したが、図 2 7 に示すように、接続部 R とビア 4 a との間に 2 つ以上の折り曲げ部（たとえば 2 つの折り曲げ部 3 b 1、3 b 2）が配置されていてもよい。

【0073】

2 つ以上の折り曲げ部を配置することにより、線幅の大きい配線層 3 a 内の多量のマイクロボイドはビア 4 a 下にさらに達し難くなる。このため、ストレスマイグレーションによりビア 4 a 下へボイドが集まることをさらに抑制することができる。

【0074】

なお、上記実施の形態において、銅層とは銅を主成分として含む材質よりなる層のことを意味しており、不可避の不純物を含む銅からなる層、銅の合金層などを含むものである。

【0075】

なお、上記各実施の形態の構成が適宜組合わせられてもよい。また、上記においては、半導体装置の配線接続構造について説明したが、本発明は、半導体装置だけでなく液晶デバイスなどの電子デバイスの配線接続構造に広く適用することができる。

【0076】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 7 7 】

【発明の効果】

本発明の配線接続構造によれば、孔の底部において、バリアメタル層に設けられた開口を通して第 1 の導電層と第 2 の導電層とは直接接している。第 1 の導電層と第 2 の導電層とは共に銅層であるため、第 1 の導電層と第 2 の導電層との接続部は同種金属同士の接続となる。このため、第 1 の導電層と第 2 の導電層との間にバリアメタルが介在した場合に生じる異種金属の接続に起因した孔下でのボイドの集中を抑制することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 における半導体装置の構成を示す概略断面図である。

【図 2】 本発明の実施の形態 1 における半導体装置の第 1 の製造方法の第 1 工程を示す概略断面図である。

【図 3】 本発明の実施の形態 1 における半導体装置の第 1 の製造方法の第 2 工程を示す概略断面図である。

【図 4】 本発明の実施の形態 1 における半導体装置の第 2 の製造方法の第 1 工程を示す概略断面図である。

【図 5】 本発明の実施の形態 1 における半導体装置の第 2 の製造方法の第 2 工程を示す概略断面図である。

【図 6】 本発明の実施の形態 1 における半導体装置の第 2 の製造方法の第 3 工程を示す概略断面図である。

【図 7】 本発明の実施の形態 1 における半導体装置の第 2 の製造方法の第 4 工程を示す概略断面図である。

【図 8】 本発明の実施の形態 2 における半導体装置の構成を示す概略断面図である。

【図 9】 本発明の実施の形態 2 における半導体装置の製造方法を示す概略断面図である。

【図 1 0】 本発明の実施の形態 3 における半導体装置の構成を示す概略平面図である。

【図 1 1】 図 1 0 の X I - X I 線に沿う概略断面図である。

【図 1 2】 本発明の実施の形態 3 における半導体装置の他の構成を示す概略平面図である。

【図 1 3】 本発明の実施の形態 3 における半導体装置のさらに他の構成を示す概略平面図である。

【図 1 4】 本発明の実施の形態 3 における半導体装置のさらに他の構成を示す概略平面図である。

【図 1 5】 本発明の実施の形態 4 における半導体装置の構成を示す概略平面図である。

【図 1 6】 図 1 5 の X V I - X V I 線に沿う概略断面図である。

【図 1 7】 本発明の実施の形態 4 における半導体装置の他の構成を示す概略平面図である。

【図 1 8】 本発明の実施の形態 4 における半導体装置のさらに他の構成を示す概略平面図である。

【図 1 9】 本発明の実施の形態 4 における半導体装置のさらに他の構成を示す概略平面図である。

【図 2 0】 本発明の実施の形態 4 における半導体装置のさらに他の構成を示す概略平面図である。

【図 2 1】 本発明の実施の形態 4 における半導体装置の構成においてダミー配線を設けた構成を示す概略平面図である。

【図 2 2】 図 2 1 の X X I I - X X I I 線に沿う概略断面図である。

【図 2 3】 本発明の実施の形態 5 における半導体装置の構成を示す概略平面図である。

【図 2 4】 本発明の実施の形態 5 における半導体装置の他の構成を示す概略平面図である。

【図 2 5】 本発明の実施の形態 6 における半導体装置の構成を示す概略平面図である。

【図 2 6】 本発明の実施の形態 7 における半導体装置の構成を示す概略平面図である。

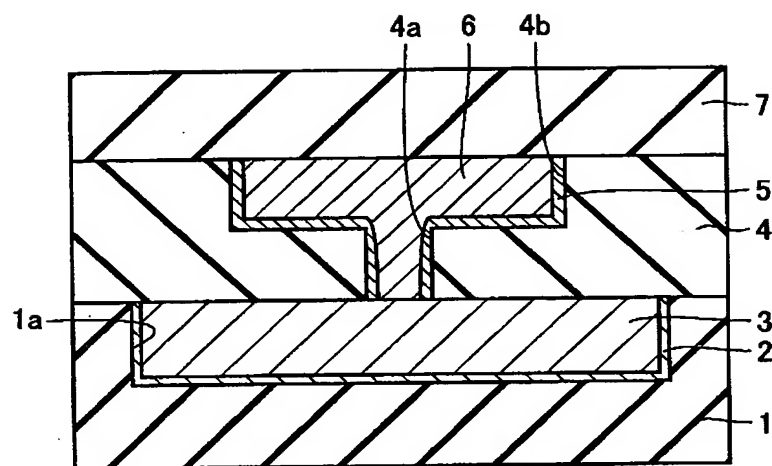
【図 2 7】 本発明の実施の形態 7 における半導体装置の他の構成を示す概略平面図である。

【符号の説明】

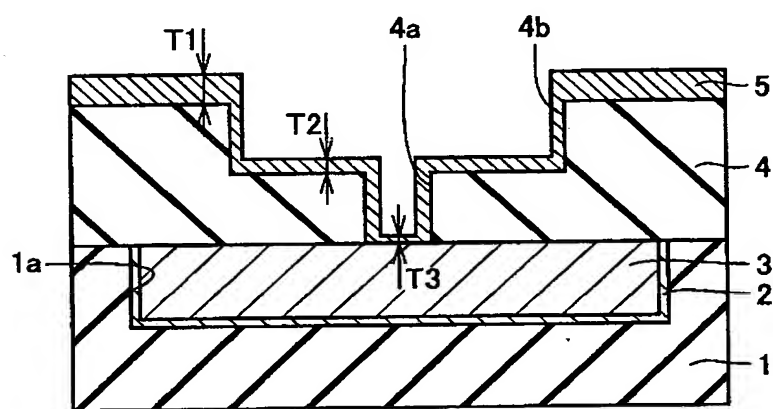
1 層間絶縁層、1 a, 1 b 溝、2 バリアメタル層、3 銅層（または配線層）、3 a, 3 b 配線部、3 b 1, 3 b 2 折り曲げ部、4 層間絶縁層、4 a ビア、4 b, 4 d 溝、4 c ダミービア、5, 5 a, 5 b バリアメタル層、6 銅層（または配線層、ダミー配線層）、7 絶縁層、3 1 金属層、4 1 スリット。

【書類名】 図面

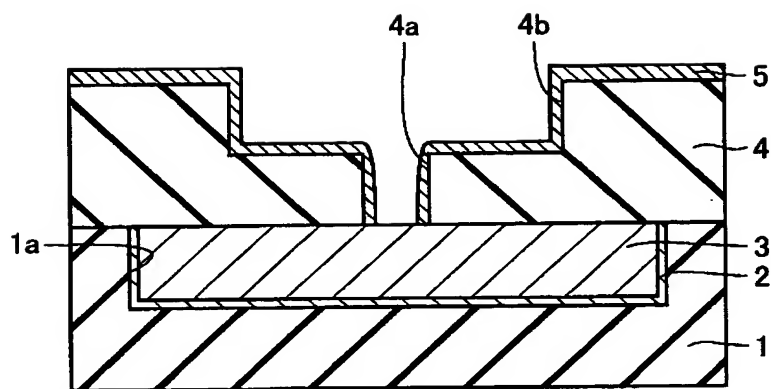
【図 1】



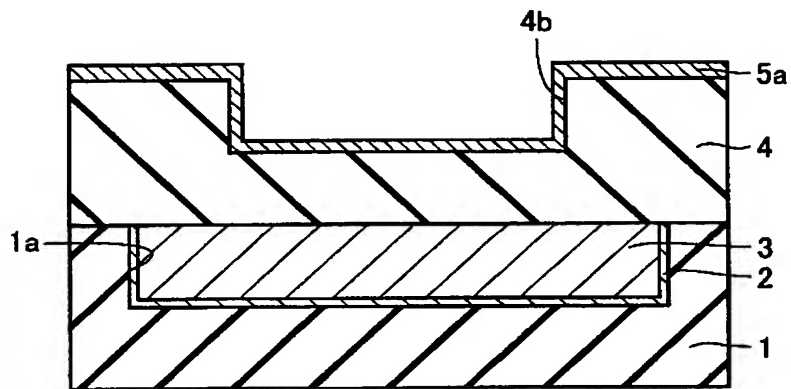
【図 2】



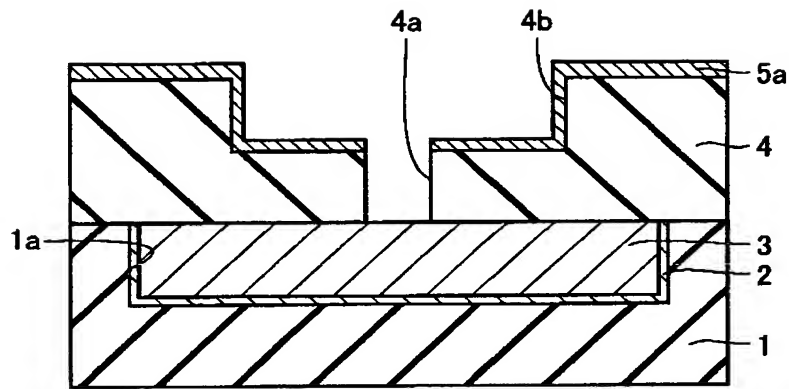
【図 3】



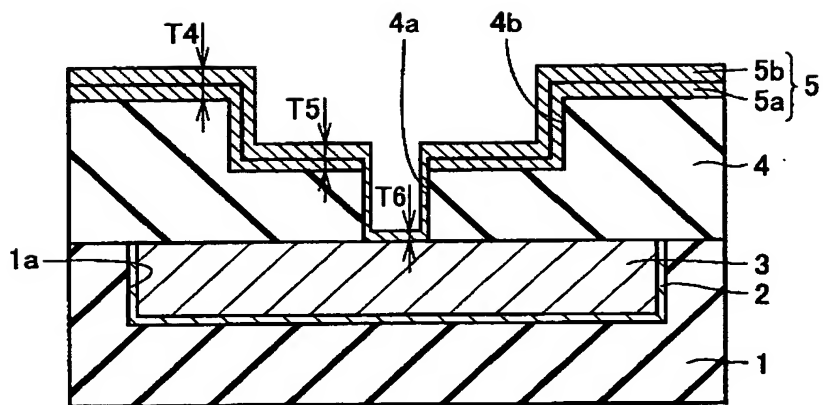
【図 4】



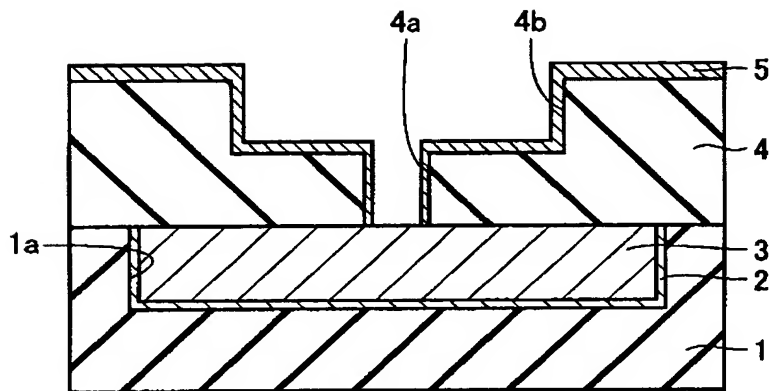
【図 5】



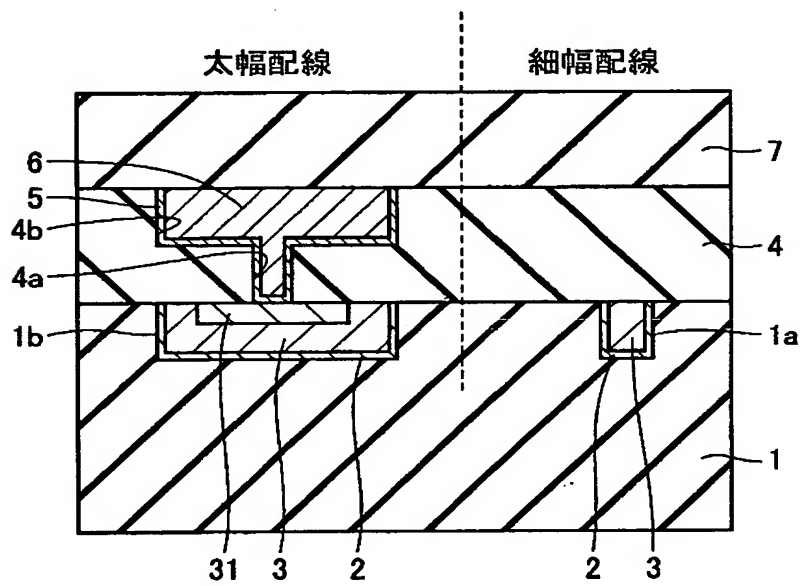
【図 6】



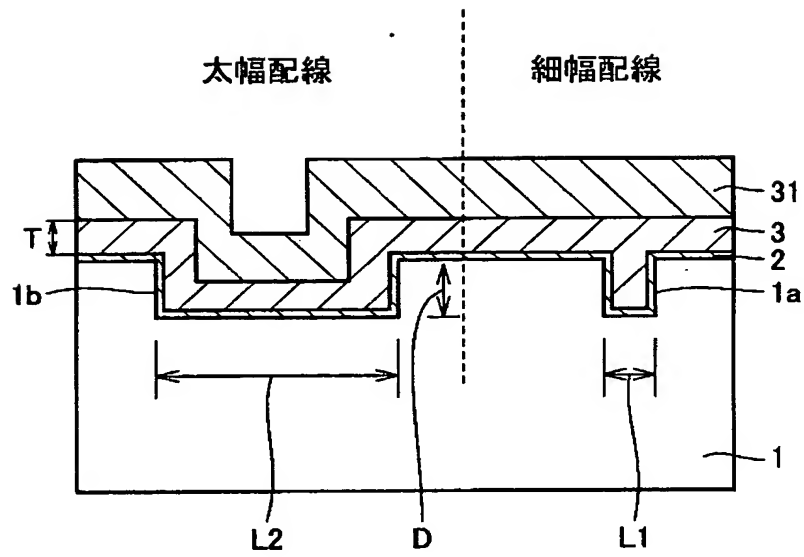
【図 7】



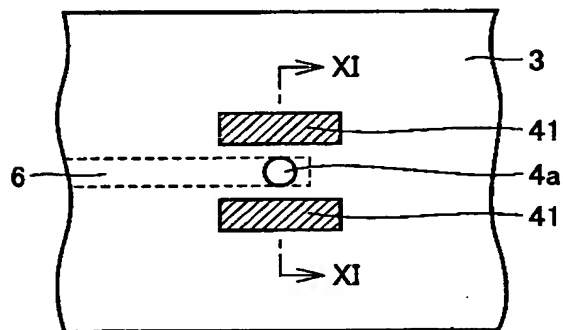
【図 8】



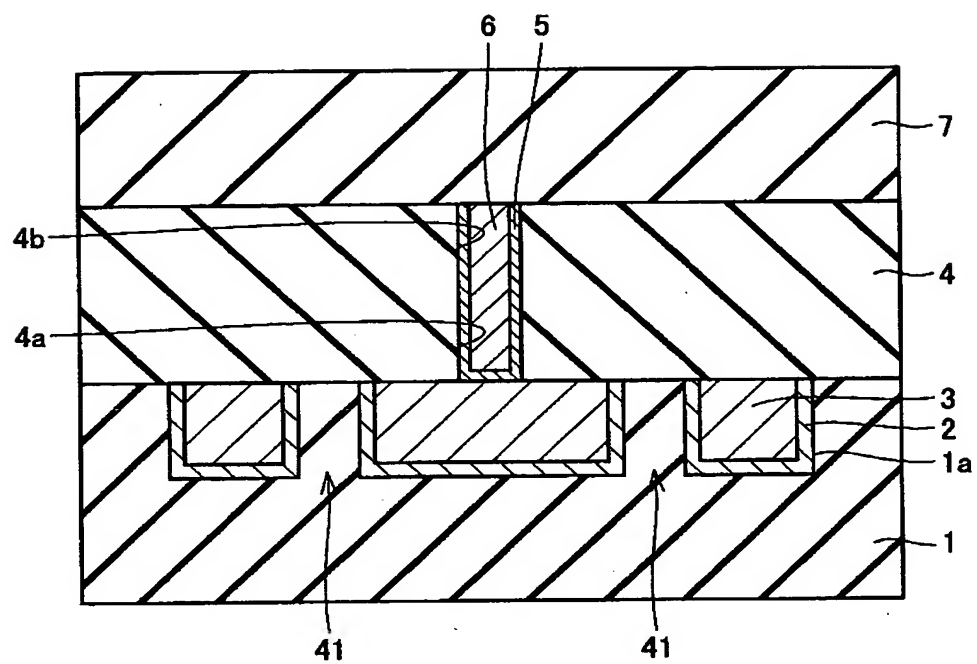
【図 9】



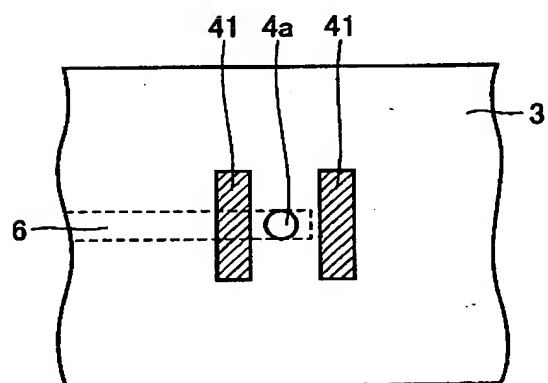
【図 10】



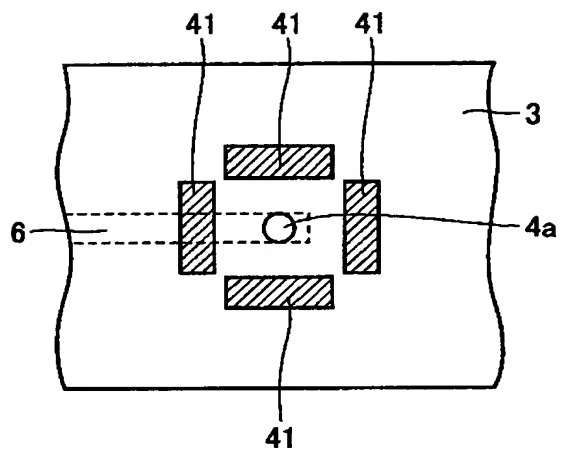
【図 1 1】



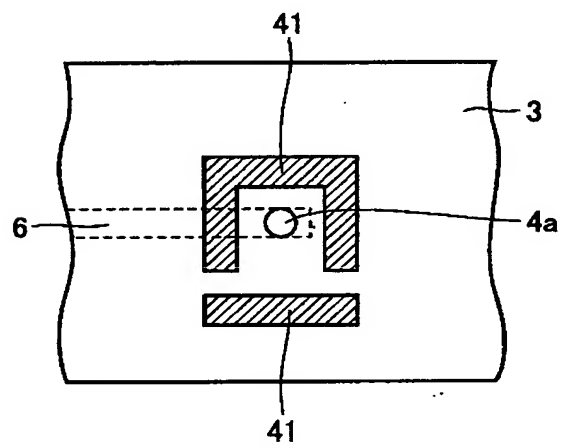
【図 1 2】



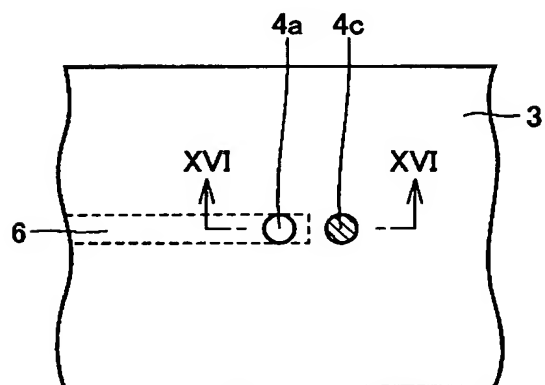
【図 1 3】



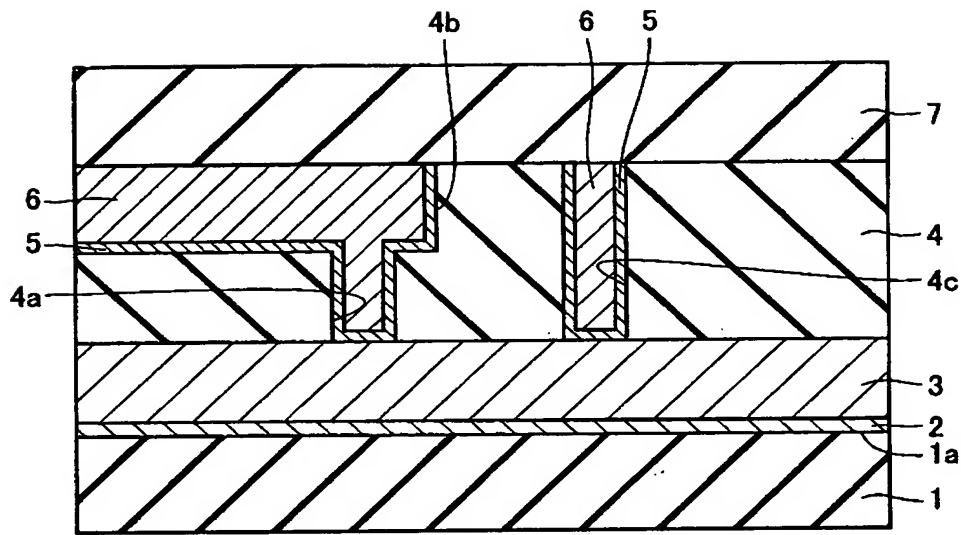
【図 1 4】



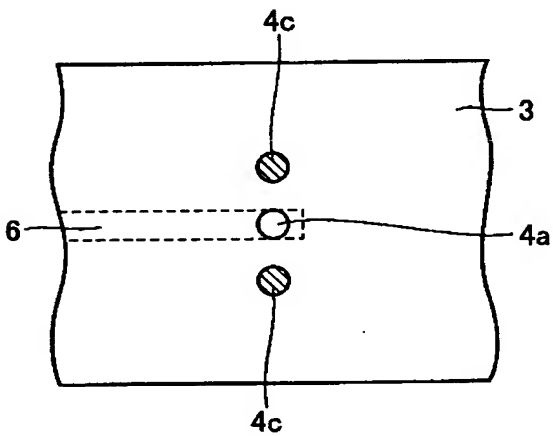
【図 1 5】



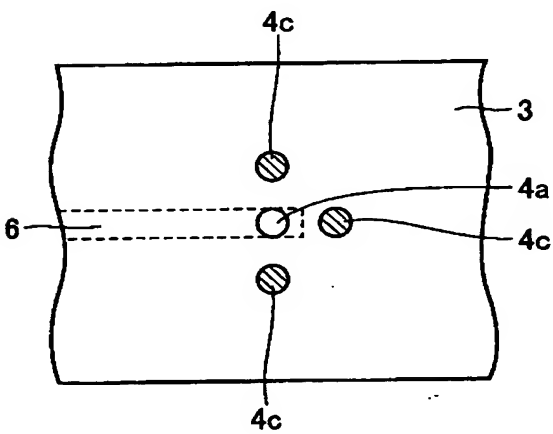
【図 16】



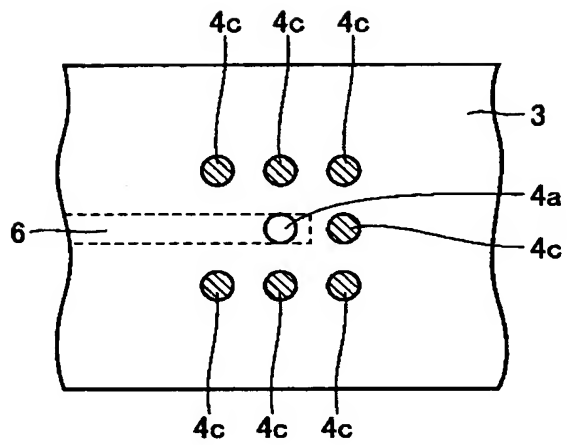
【図 17】



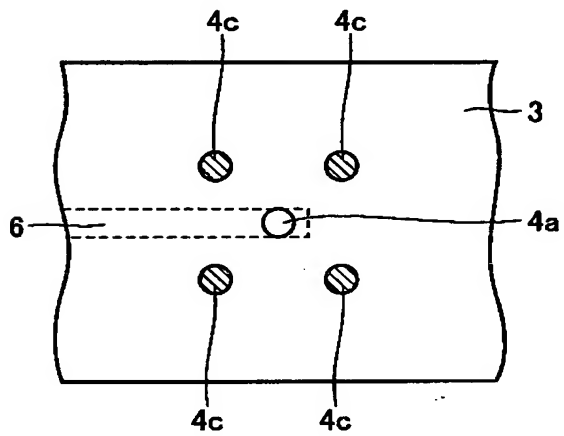
【図 18】



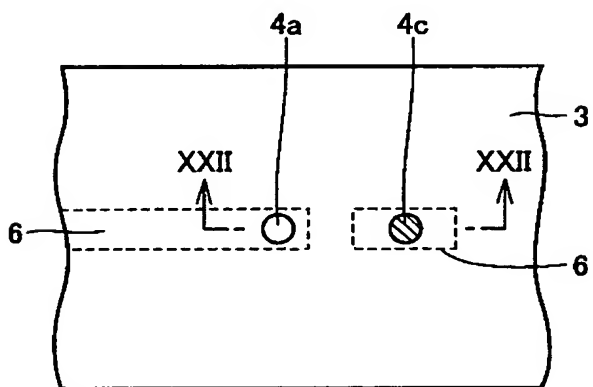
【図 1 9】



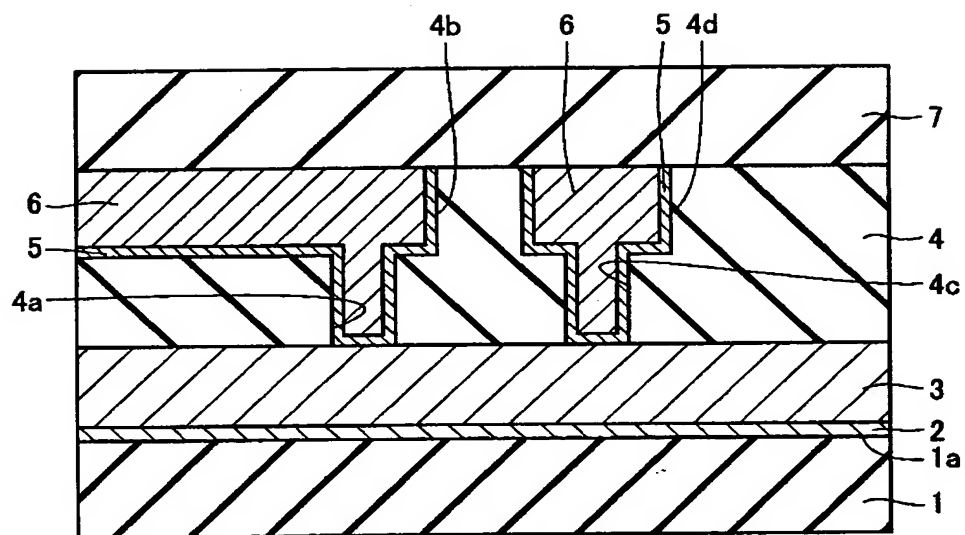
【図 2 0】



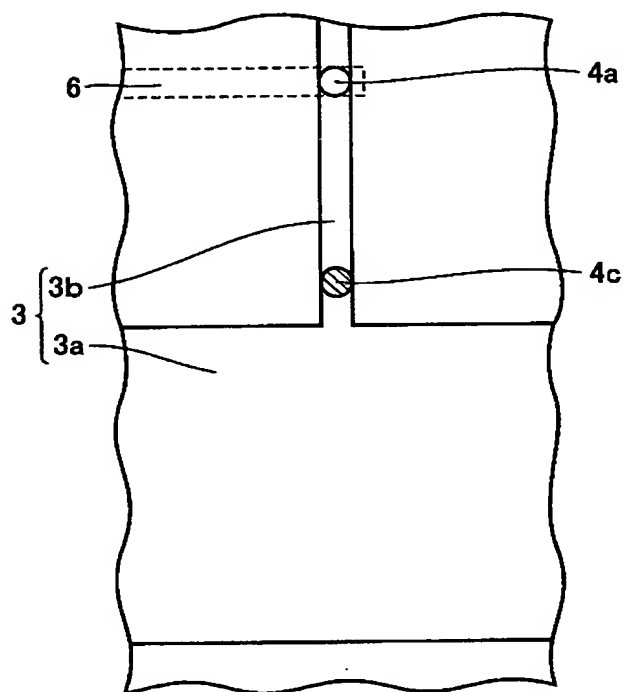
【図 2 1】



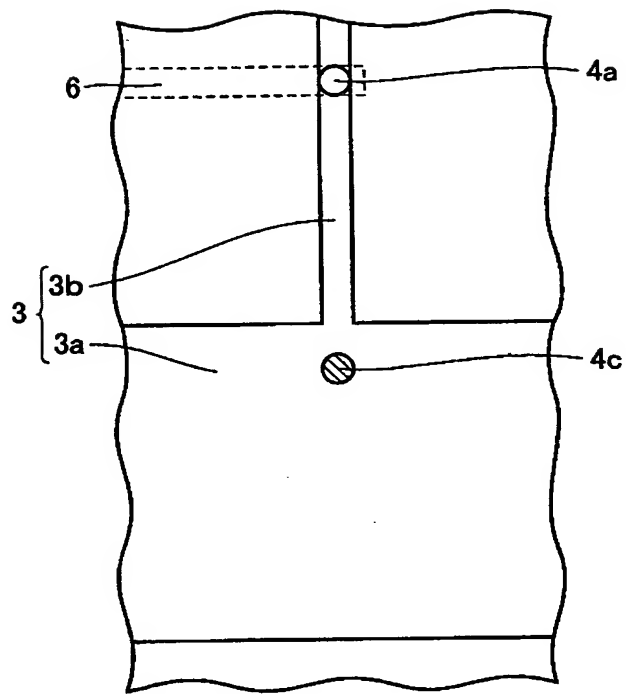
【図 2 2】



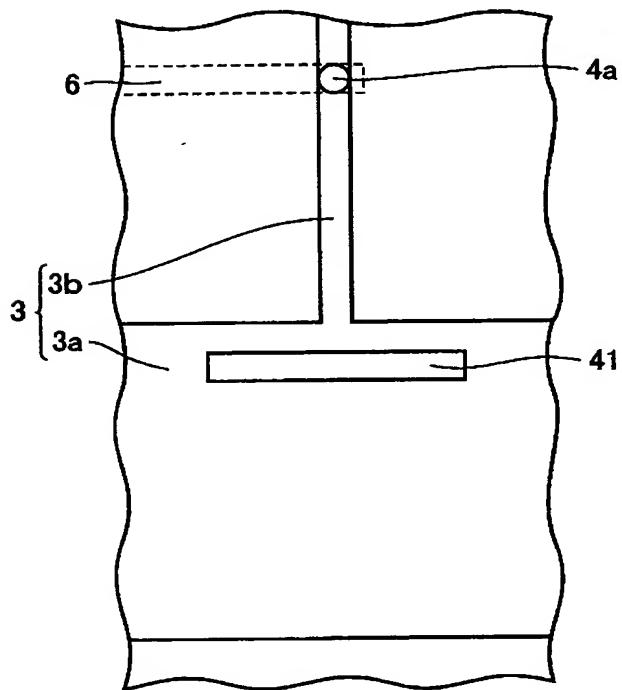
【図 2 3】



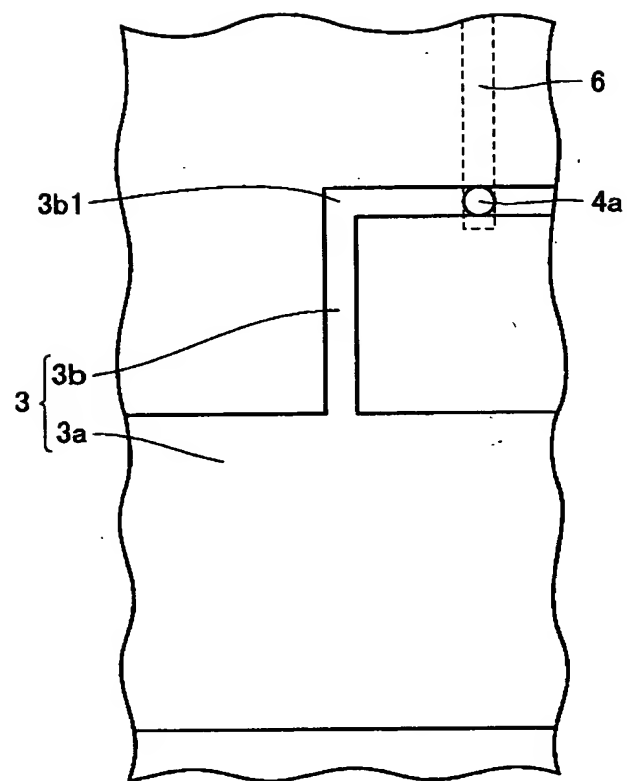
【図 2 4】



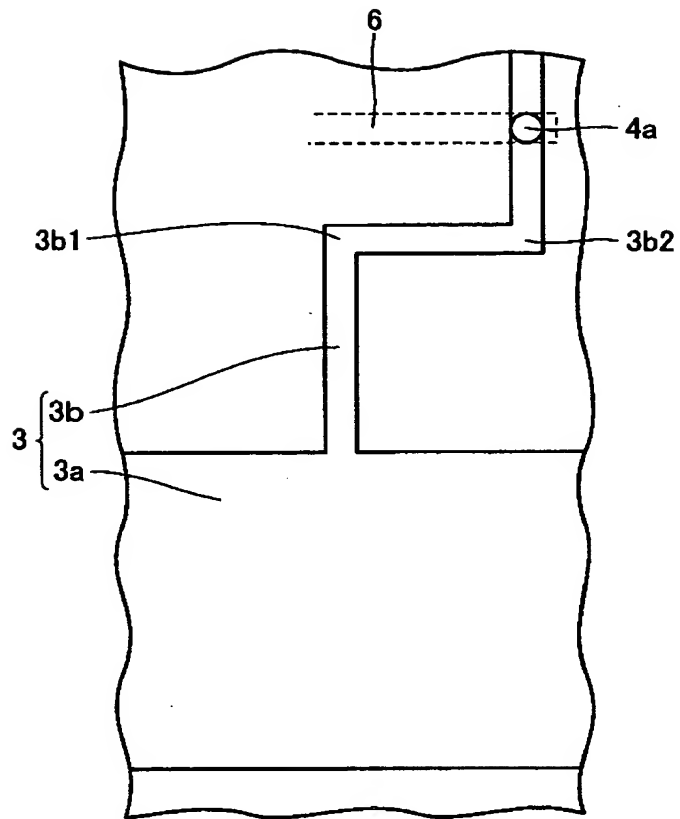
【図 2 5】



【図 2 6】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 ストレスマイグレーションによるビア下配線中のボイドの集中を抑制する配線接続構造を提供する。

【解決手段】 本発明の配線接続構造は、基板上に形成された銅層よりなる配線層 3 と、配線層 3 上に形成され、かつ配線層 3 に達するビア 4 a を有する層間絶縁層 4 と、ビア 4 a を通じて配線層 3 と電氣的に接続され、かつ層間絶縁層 4 内に形成された銅層よりなる配線層 6 と、配線層 6 と層間絶縁層 4 との間に形成されたバリアメタル層 5 とを備えている。バリアメタル層 5 はビア 4 a の底部において開口を有し、その開口を通して配線層 6 はビア 4 a の底部において配線層 3 と直接接している。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社